

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



h15017
D3

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : H01L 29/78, 21/336, 29/423	A1	(11) Internationale Veröffentlichungsnummer: WO 99/43029
		(43) Internationales Veröffentlichungsdatum: 26. August 1999 (26.08.99)

(21) Internationales Aktenzeichen: PCT/DE99/00215

(22) Internationales Anmeldedatum: 27. Januar 1999 (27.01.99)

(30) Prioritätsdaten:
198 07 213.9 20. Februar 1998 (20.02.98) DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,
D-80333 München (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): HOFMANN, Franz
[DE/DE]; Herbergstrasse 25 B, D-80995 München (DE).
WILLER, Josef [DE/DE]; Friedrich-Fröbel-Strasse 62,
D-85521 Riemerling (DE). KRAUTSCHNEIDER, Wolf-
gang [DE/DE]; Am Oberfeld 50, D-83104 Hohenhann
(DE).

(74) Gemeinsamer Vertreter: SIEMENS AKTIENGE-
SELLSCHAFT; Postfach 22 16 34, D-80506 München
(DE).

(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU,
MC, NL, PT, SE).

Veröffentlicht

Mit internationalem Recherchenbericht.

Vor Ablauf der für Änderungen der Ansprüche zugelassenen
Frist; Veröffentlichung wird wiederholt falls Änderungen
eintreffen.

(54) Title: TRENCH-GATE MOS TRANSISTOR, ITS USE IN AN EEPROM DEVICE AND PROCESS FOR MANUFACTURING
THE SAME

(54) Bezeichnung: GRABEN-GATE-MOS-TRANSISTOR, DESSEN VERWENDUNG IN EINER EEPROM-ANORDNUNG UND
VERFAHREN ZU DESSEN HERSTELLUNG

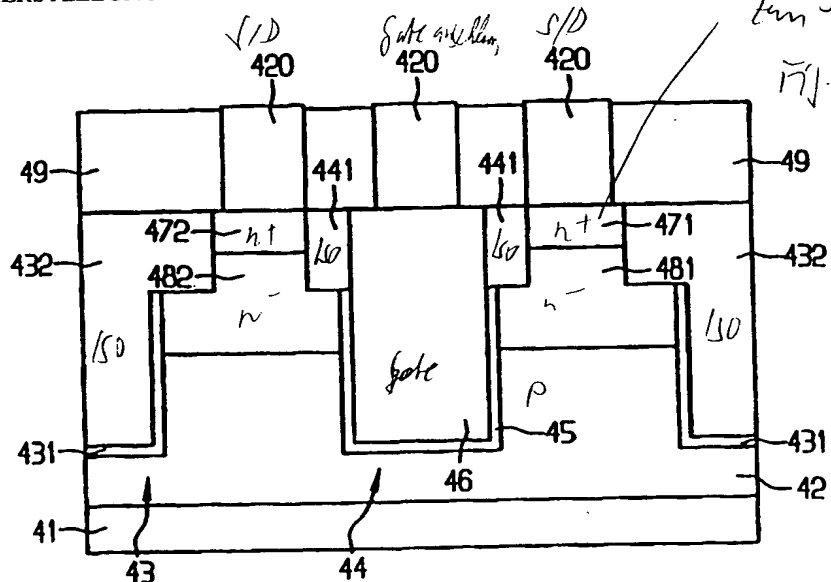
(57) Abstract

A first source-drain zone (471), a second source-drain zone (472) and an intermediate channel (44) are arranged in a semiconductor substrate (41). The surface of the channel (44) is provided with a gate dielectric (45). A gate electrode (46) is arranged in the channel (44) and is at the most as long as the channel (44) is deep. Gate dielectric (45) and gate electrode (46) are thus buried in the channel (44) and the MOS transistor is suitable as embedded MOS transistor, in particular for EEPROM devices.

(57) Zusammenfassung

In einem Halbleitersubstrat (41) ist ein erstes Source-/Drain-Gebiet (471), ein zweites Source-/Drain-Gebiet (472) und ein dazwischen angeordneter Graben (44) angeordnet. Die Oberfläche des Grabens (44) ist mit einem Gatedielektrikum (45) versehen.

In dem Graben (44) ist eine Gateelektrode (46) angeordnet, deren Ausdehnung in Richtung der Tiefe des Grabens (44) maximal gleich der Tiefe des Grabens (44) ist. Gatedielektrikum (45) und Gateelektrode (46) sind somit im Graben (44) vergraben, so daß der MOS-Transistor als embedded MOS-Transistor insbesondere für EEPROM-Anordnungen geeignet ist.



BEST AVAILABLE COPY

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland			TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	MX	Mexiko	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	VN	Vietnam
CG	Kongo	KE	Kenia	NL	Niederlande	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	NZ	Neuseeland		
CM	Kamerun			PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

Beschreibung

GRABEN-GATE-MOS-TRANSISTOR, DESSEN VERWENDUNG IN EINER EEPROM-ANORDNUNG UND VERFAHREN ZU DESSEN HERSTELLUNG

5

Die Erfindung betrifft einen MOS-Transistor, der zur Integration in einer Schaltungsanordnung mit Transistoren einer anderen Technologie geeignet ist, sogenannter embedded MOS-Transistor, sowie ein Verfahren zu dessen Herstellung.

10

In verschiedenen Schaltungsanwendungen werden gleichzeitig Transistoren mit sehr unterschiedlichen Eigenschaften benötigt, die in verschiedenen Technologien herstellbar sind. Ein Beispiel dafür sind EEPROM-Anwendungen, in denen als Speichertransistoren MOS-Transistoren mit Floating Gate und Kontrollgate, die mit Spannungen von maximal 5 Volt betrieben werden, verwendet werden und in denen zum Programmieren der Speichertransistoren sogenannte Hochvolttransistoren verwendet werden, die höhere Spannungen, insbesondere 10 bis 20 Volt, schalten. Weitere Beispiele für derartige Anwendungen sind Smart Power-Schaltungen.

20

Es ist bekannt, bei der Herstellung einer EEPROM-Anordnung, die erforderlichen Hochvolttransistoren in demselben Prozeß herzustellen, in dem auch die Speichertransistoren hergestellt werden (siehe zum Beispiel Seiichi Mori: „High Speed Sub-halfmicron Flash Memory Technology“, 1994 Symposium on VLSI Technology, p 53). Die nachteiligen Auswirkungen der für die Herstellung der Hochvolttransistoren erforderlichen Prozeßschritte auf die Eigenschaften der Speichertransistoren werden dabei in Kauf genommen.

30

Der Erfindung liegt die Aufgabe zugrunde, einen MOS-Transistor anzugeben, der gleichzeitig mit Transistoren einer anderen Technologie herstellbar ist, ohne die Eigenschaften der Transistoren der anderen Technologie nachteilig zu beein-

35

flussen. Ferner soll ein Verfahren zur Herstellung eines derartigen MOS-Transistors angegeben werden.

5 Diese Aufgabe wird gelöst durch einen MOS-Transistor gemäß Anspruch 1 sowie durch ein Verfahren zu dessen Herstellung gemäß Anspruch 10. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

10 Der MOS-Transistor umfaßt ein erstes Source-/Drain-Gebiet und ein zweites Source-/Drain-Gebiet, die in einem Halbleitersubstrat angeordnet sind. Als Halbleitersubstrat ist insbesondere ein monokristallines Siliziumsubstrat oder die monokristalline Siliziumschicht eines SOI-Substrats geeignet. Zwischen dem ersten Source-/Drain-Gebiet und dem zweiten Source-/Drain-Gebiet ist ein Graben angeordnet, dessen Tiefe größer als die Tiefe des ersten Source-/Drain-Gebietes und des zweiten Source-/Drain-Gebietes ist. Die Oberfläche des Grabens ist mit einem Gatedielektrikum versehen. In dem Graben ist eine Gateelektrode angeordnet, deren Ausdehnung in Richtung der Tiefe des Grabens maximal gleich der Tiefe des Grabens ist. Der MOS-Transistor weist ein Kanalgebiet auf, das zwischen dem ersten Source-/Drain-Gebiet und dem zweiten Source-/Drain-Gebiet angeordnet ist und im Halbleitersubstrat entlang der Oberfläche des Grabens verläuft. Beim Schalten des Transistors wird daher ein Strompfad entlang der Oberfläche des Grabens geschlossen oder unterbrochen.

30 Es ist ein Isolationsgraben vorgesehen, der den MOS-Transistor umgibt. Der Isolationsgraben ist mit einer isolierenden Füllung versehen und weist eine Tiefe auf, die im wesentlichen der Tiefe des Grabens entspricht. Vorzugsweise wird der Isolationsgraben gleichzeitig mit dem Graben geöffnet. Für die Grabenätzung ist somit keine zusätzliche Phototechnik erforderlich.

35

Da in dem MOS-Transistor das Gateoxid und die Gateelektrode vollständig im Graben angeordnet sind und das Kanalgebiet

entlang der Oberfläche des Grabens angeordnet ist, ist dieser MOS-Transistor vor der Herstellung von Transistoren anderer Technologie herstellbar. Dabei liegt es im Rahmen der Erfindung, daß die Gateelektrode den Graben vollständig ausfüllt
5 oder daß oberhalb der Gateelektrode eine planarisierende Struktur den Graben auffüllt. Das Halbleitersubstrat weist nach der Herstellung des MOS-Transistors eine ebene Oberfläche auf und ist zur Herstellung der anderen Transistoren in einer anderen Technologie geeignet.

10

Der MOS-Transistor ist insbesondere geeignet als Hochvolttransistor für eine EEPROM-Anordnung. Da das Kanalgebiet entlang der Oberfläche des Grabens verläuft, ist der Platzbedarf des MOS-Transistors im Vergleich zu einem planaren MOS-
15 Transistor reduziert. Die für Hochvolttransistoren erforderliche höhere Dicke des Gatedielektrikums im Vergleich zu den Speichertransistoren hat keine Auswirkung auf die Speichertransistoren, da das Gatedielektrikum nur an der Oberfläche des Grabens angeordnet ist. Auch die Kanalimplantation für
20 den Hochvolttransistor beeinflußt nur die Grabenoberfläche.

Der MOS-Transistor kann sowohl als n-Kanal-MOS-Transistor als auch als p-Kanal-MOS-Transistor gebildet werden. Für die Anwendung als Hochvolt-MOS-Transistor einer EEPROM-Anordnung
25 ist es vorteilhaft, wenn der MOS-Transistor als n-Kanal-MOS-Transistor eine n^+ -dotierte Gateelektrode und als p-Kanal-MOS-Transistor eine p^+ -dotierte Gateelektrode aufweist. In diesem Fall ist sichergestellt, daß sowohl der n-Kanal-MOS-Transistor als auch der p-Kanal-MOS-Transistor sogenannte
30 Surface-channel-Transistoren sind, in denen sich ein leitender Kanal an der Grenzfläche des Substrats zum Gatedielektrikum ausbildet.

Für die Anwendung des MOS-Transistors als Hochvolt-MOS-
35 Transistor ist es vorteilhaft, ein erstes Diffusionsgebiet vorzusehen, das zwischen dem ersten Source-/Drain-Gebiet und dem Kanalgebiet angeordnet ist und das an das erste Source-

/Drain-Gebiet und an das Kanalgebiet angrenzt. Das erste Diffusionsgebiet ist dabei von demselben Leitfähigkeitstyp wie das erste Source-/Drain-Gebiet dotiert, es weist eine geringere Dotierstoffkonzentration als das erste Source-/Drain-Gebiet auf. In der Schaltung wird das erste Source-/Drain-Gebiet als Drain verschaltet. Über das erste Diffusionsgebiet fällt ein Teil der zwischen dem ersten Source-/Drain-Gebiet und dem zweiten Source-/Drain-Gebiet anliegenden Spannung ab, so daß über das Kanalgebiet nur eine geringere Spannung geschaltet werden muß.

Im Hinblick auf den reduzierten Platzbedarf des MOS-Transistors ist es vorteilhaft, das erste Diffusionsgebiet mindestens teilweise unterhalb des ersten Source-/Drain-Gebietes anzuordnen. Auf diese Weise wird der Platzbedarf parallel zur Oberfläche des Halbleitersubstrats reduziert.

Vorzugsweise ist der MOS-Transistor so ausgestaltet, daß das erste Source-/Drain-Gebiet nicht an die Oberfläche des Grabens unmittelbar angrenzt. Dadurch wird die Spannungsfestigkeit zwischen der Gateelektrode und dem ersten Source-/Drain-Gebiet erhöht. Insbesondere werden Spannungsspitzen sowie ein Band zu Band Tunneln an der Kante der Gateelektrode vermieden. Diese Ausgestaltung des MOS-Transistors kann dadurch realisiert werden, daß das erste Diffusionsgebiet mindestens teilweise zwischen der Oberfläche des Grabens und dem ersten Source-/Drain-Gebiet angeordnet ist. Da das erste Diffusionsgebiet als Widerstand wirkt, über den ein Teil der Spannung abfällt, ist auf diese Weise die an der Kante des Grabens wirksame Spannung reduziert.

Alternativ wird diese Ausgestaltung dadurch realisiert, daß eine erste Isolationsstruktur vorgesehen ist, die zwischen der Gateelektrode und dem ersten Source-/Drain-Gebiet angeordnet ist. Die erste Isolationsstruktur grenzt damit an die Oberfläche des Halbleitersubstrats an und weist eine Tiefe auf, die größer ist als die Tiefe des ersten Source-/Drain-

Gebietes. Auf diese Weise wird die Isolation zwischen der Gateelektrode und dem ersten Source-/Drain-Gebiet, an das hohe Spannung anliegt, verbessert.

5 Im Hinblick auf einen vereinfachten Schaltungsentwurf ist es vorteilhaft, ein zweites Diffusionsgebiet vorzusehen, das von demselben Leitfähigkeitstyp wie das zweite Source-/Drain-Gebiet dotiert ist, das jedoch eine geringere Dotierstoffkonzentration als das zweite Source-/Drain-Gebiet aufweist und
10 das zwischen dem zweiten Source-/Drain-Gebiet und dem Kanalgebiet angeordnet ist. Das zweite Diffusionsgebiet grenzt sowohl an das zweite Source-/Drain-Gebiet als auch an das Kanalgebiet an. Das zweite Diffusionsgebiet ist analog dem ersten Diffusionsgebiet aufgebaut. Auf diese Weise weist der
15 MOS-Transistor eine symmetrische Struktur auf. Es können in einer Schaltung somit sowohl das erste Source-/Drain-Gebiet als auch das zweite Source-/Drain-Gebiet als Drain verschaltet werden. Das erleichtert den Schaltungsentwurf.

20 Im folgenden werden Ausführungsbeispiele der Erfindung anhand von Figuren näher erläutert.

Figur 1 zeigt einen Schnitt durch einen MOS-Transistor mit einer in einem Graben angeordneten Gateelektrode.

25

Figur 2 zeigt einen Schnitt durch einen MOS-Transistor mit einer in einem Graben angeordneten Gateelektrode und einem ersten Source-/Drain-Gebiet und einem zweiten Source-/Drain-Gebiet, unter denen jeweils ein erstes
30 Diffusionsgebiet bzw. ein zweites Diffusionsgebiet angeordnet ist.

30

Figur 3 zeigt einen Schnitt durch einen MOS-Transistor mit einer in einem Graben angeordneten Gateelektrode und einem ersten Source-/Drain-Gebiet und einem zweiten Source-/Drain-Gebiet, die jeweils durch ein erstes
35

Diffusionsgebiet bzw. ein zweites Diffusionsgebiet von der Oberfläche des Grabens getrennt sind.

Figur 4 zeigt einen Schnitt durch einen MOS-Transistor, mit einer in einem Graben angeordneten Gateelektrode, wobei eine erste Isolationsstruktur vorgesehen ist, die zwischen der Gateelektrode und einem ersten Source-/Drain-Gebiet sowie zwischen der Gateelektrode und einem zweiten Source-/Drain-Gebiet angeordnet ist.

Figur 5 bis Figur 8 zeigen Schritte zur Herstellung eines MOS-Transistors mit einer ersten Isolationsstruktur, die zwischen einem ersten Source-/Drain-Gebiet bzw. einem zweiten Source-/Drain-Gebiet und einer Gateelektrode angeordnet ist.

Figur 9 bis Figur 12 zeigen Schritte zur Herstellung eines MOS-Transistors mit einer in einem Graben angeordneten Gateelektrode und einem ersten Source-/Drain-Gebiet und einem zweiten Source-/Drain-Gebiet, die von der Oberfläche des Grabens beabstandet sind.

Die Figuren 13 bis 16 zeigen Schritte zur Herstellung eines MOS-Transistors mit einer im Graben angeordneten Gateelektrode und einem ersten Source-/Drain-Gebiet und einem zweiten Source-/Drain-Gebiet die jeweils durch ein erstes Diffusionsgebiet bzw. ein zweites Diffusionsgebiet von der Oberfläche des Grabens beabstandet sind.

In einem Substrat 11 aus monokristallinem, p-dotiertem Silizium mit einer Grunddotierung von 10^{15} cm^{-3} ist eine p-dotierte Wanne 12 angeordnet (siehe Figur 1). Die p-dotierte Wanne 12 weist eine Dotierstoffkonzentration von 10^{17} cm^{-3} auf. Die p-dotierte Wanne 12 ist von einem Isolationsgraben 13 umgeben, der mit einer SiO_2 -Schicht 131 und einer SiO_2 -

Füllung 132 aufgefüllt ist. Die Isolationsstruktur 13 ist nach der Shallow Trench Isolations-Technik hergestellt.

5 Innerhalb des von der Isolationsstruktur 13 umgebenen Gebietes ist ein Graben 14 angeordnet, der bis in die p-dotierte Wanne 12 reicht. Die Tiefe des Grabens 14 beträgt 400 nm. Die Tiefe des Isolationsgrabens 13 beträgt ebenfalls 400 nm.

10 Die Oberfläche des Grabens 14 ist mit einem Gatedielektrikum 15 versehen. Das Gatedielektrikum 15 enthält SiO_2 und weist eine Dicke von 20 nm auf. Der Graben 14 ist mit einer Gateelektrode 16 aus n^+ -dotiertem Polysilizium aufgefüllt. Der mit dem Gatedielektrikum 15 und der Gateelektrode 16 aufgefüllte Graben 14 bildet mit dem Substrat 11 eine ebene Oberfläche.
15

Es sind ein erstes Source-/Drain-Gebiet 171 und ein zweites Source-/Drain-Gebiet 172 vorgesehen, die jeweils an den Isolationsgrabens 13 angrenzen. Das erste Source-/Drain-Gebiet
20 171 und das zweite Source-/Drain-Gebiet 172 sind n^+ -dotiert mit einer Dotierstoffkonzentration von 10^{21} cm^{-3} . Das erste Source-/Drain-Gebiet 171 und das zweite Source-/Drain-Gebiet 172 weisen eine Tiefe von etwa 200 nm auf. Zwischen dem ersten Source-/Drain-Gebiet 171 und der Oberfläche des Grabens
25 14 ist ein erstes Diffusionsgebiet 181 angeordnet. Zwischen dem zweiten Source-/Drain-Gebiet 172 und der Oberfläche des Grabens 14 ist ein zweites Diffusionsgebiet 182 angeordnet. Das erste Diffusionsgebiet 181 und das zweite Diffusionsgebiet 182 sind jeweils n^- -dotiert und weisen eine Dotierstoffkonzentration von $2 \times 10^{18} \text{ cm}^{-3}$ auf. Als Kanalgebiet wirkt
30 der an die Oberfläche des Grabens unterhalb des ersten Diffusionsgebietes 181 und des zweiten Diffusionsgebietes 182 angrenzende Teil der p-dotierten Wanne 12.

35 An der Oberfläche der Struktur ist eine isolierende Schicht 19 zum Beispiel aus dotiertem Glas angeordnet, in der Kontakte 120 zu dem ersten Source-/Drain-Gebiet 171, dem zweiten

Source-/Drain-Gebiet 172 und der Gateelektrode 16 vorgesehen sind. Die Kontakte 120 enthalten Aluminium und/oder Wolfram.

Fig 2

- 5 In einem Substrat 21 aus monokristallinem Silizium mit einer Grunddotierung von 10^{15} cm^{-3} Bor ist eine p-dotierte Wanne 22 mit einer Dotierstoffkonzentration von 10^{17} cm^{-3} angeordnet (siehe Figur 2). Ein aktives Gebiet für einen MOS-Transistor wird durch einen Isolationsgraben 23, der ringförmig ist, definiert. Der Isolationsgraben 23 ist mit einer SiO_2 -Schicht 10 231 und einer SiO_2 -Schicht 232 im Sinne einer Shallow Trench Isolation aufgefüllt. Die Tiefe des Isolationsgrabens 23 beträgt 600 nm. In dem aktiven Gebiet ist ein Graben 24 angeordnet, dessen Tiefe ebenfalls 600 nm beträgt. Die Oberfläche des Grabens 24 ist mit einem Gatedielektrikum 25 versehen. 15 Das Gatedielektrikum 25 enthält SiO_2 und weist eine Dicke von 25 nm auf. Der Graben 24 ist mit einer Gateelektrode 26 aufgefüllt. Die Gateelektrode 26 enthält n^+ -dotiertes Polysilizium mit einer Dotierstoffkonzentration von 10^{21} cm^{-3} .
- 20 Zwischen dem Isolationsgraben 23 und der Oberfläche des Grabens 24 sind ein erstes Source-/Drain-Gebiet 271 und ein zweites Source-/Drain-Gebiet 272 angeordnet, die jeweils an die Oberfläche des Substrats angrenzen. Das erste Source-/Drain-Gebiet 271 und das zweite Source-/Drain-Gebiet 272 25 sind n^+ -dotiert mit einer Dotierstoffkonzentration von 10^{20} cm^{-3} . Das erste Source-/Drain-Gebiet 271 und das zweite Source-/Drain-Gebiet 272 weisen eine Tiefe von jeweils 200 nm auf.
- 30 Unterhalb des ersten Source-/Drain-Gebietes 271 ist ein erstes Diffusionsgebiet 281 angeordnet, das n^- -dotiert ist mit einer Dotierstoffkonzentration von 10^{18} cm^{-3} und das eine Tiefe von 500 nm gemessen von der Oberfläche des Substrats 21 aus aufweist. Unterhalb des zweiten Source-/Drain-Gebietes 35 272 ist ein zweites Diffusionsgebiet 282 angeordnet, das n^- -dotiert ist und eine Dotierstoffkonzentration von 10^{18} cm^{-3} .

aufweist und eine Tiefe von 300 nm unterhalb der Oberfläche des Substrats 21 aufweist.

5 In dem MOS-Transistor wird das erste Source-/Drain-Gebiet 271 als Drain verschaltet. Ein Teil der an dem ersten Source-/Drain-Gebiet 271 anliegenden Spannung fällt dann über das erste Diffusionsgebiet 281 ab. Über dem Kanalgebiet, das von dem an die Oberfläche des Grabens 24 angrenzenden Teil der p-dotierten Wanne 22 gebildet wird, fällt dann eine geringere
10 Spannung ab.

An der Oberfläche der Struktur ist eine Isolationsschicht 29 aus dotiertem Glas angeordnet, in der Kontakte 220 zu dem ersten Source-/Drain-Gebiet 271, dem zweiten Source-/Drain-Gebiet 272 sowie der Gateelektrode 26 vorgesehen sind (siehe
15 Figur 2).

In einem Substrat 31 aus monokristallinem Silizium mit einer Grunddotierung von 10^{15} cm^{-3} Bor ist eine p-dotierte Wanne 32 mit einer Dotierstoffkonzentration von 10^{17} cm^{-3} angeordnet
20 (siehe Figur 3). In der p-dotierten Wanne 32 wird durch einen ringförmigen Isolationsgraben 33 ein aktives Gebiet für einen MOS-Transistor definiert. Der Isolationsgraben 33 ist im Sinne einer Shallow Trench Isolation mit einer SiO_2 -Schicht 331 und einer SiO_2 -Füllung 332 aufgefüllt. Die Tiefe des Isolationsgraben 31 beträgt 800 nm.

Innerhalb des aktiven Gebietes ist ein Graben 34 angeordnet, dessen Tiefe ebenfalls 800 nm beträgt. Die Oberfläche des
30 Grabens 34 ist mit einem Gatedielektrikum 35 versehen, das SiO_2 enthält und eine Dicke von 25 nm aufweist. Der Graben 34 ist mit einer Gateelektrode 36 aus n^+ -dotiertem Polysilizium mit einer Dotierstoffkonzentration von 10^{21} cm^{-3} aufgefüllt.

35 Es sind ein erste Source-/Drain-Gebiet 371 und ein zweites Source-/Drain-Gebiet 372 vorgesehen, die jeweils an die Oberfläche des Isolationsgrabens 33 angrenzen und die an die

Oberfläche des Substrats 31 angrenzen. Die Source-/Drain-Gebiet 371, 372 sind n^+ -dotiert und weisen eine Dotierstoffkonzentration von 10^{21} cm^{-3} auf. Sie weisen eine Tiefe von 200 nm auf. Von der Oberfläche des Grabens 34 sind sie durch
5 ein erstes Diffusionsgebiet 381 bzw. ein zweites Diffusionsgebiet 382 beabstandet. Das erste Diffusionsgebiet 381 und das zweite Diffusionsgebiet 382 erstreckt sich auch unterhalb des ersten Source-/Drain-Gebietes 371 bzw. des zweiten Source-/Drain-Gebietes 372. Das erste Diffusionsgebiet 381 und
10 das zweite Diffusionsgebiet 382 sind jeweils n^- -dotiert mit einer Dotierstoffkonzentration von 10^{18} cm^{-3} . Die Diffusionsgebiete 381, 382 weisen eine Tiefe von 400 nm gemessen von der Oberfläche des Halbleitersubstrats aus auf. Als Kanalgebiet wirkt in dem MOS-Transistor der Teil der p-dotierten
15 Wanne 32, der an die Oberfläche des Grabens 34 angrenzt.

Die Struktur ist darüber hinaus mit einer Isolationsschicht 39 aus dotiertem Glas versehen, in der Kontakte 320 zu dem ersten Source-/Drain-Gebiet 371, dem zweiten Source-/Drain-Gebiet 372 sowie der Gateelektrode 36 vorgesehen sind.
20

Fig 4
In einem Substrat 41 mit einer Grunddotierung von 10^{15} cm^{-3} Bor ist eine p-dotierte Wanne 42 mit einer Dotierstoffkonzentration von 10^{17} cm^{-3} angeordnet (siehe Figur 4). Ein ringförmiger Isolationsgraben 43, der im Sinne einer Shallow
25 Trench Isolation mit einer SiO_2 -Schicht 431 und einer SiO_2 -Füllung 432 aufgefüllt ist, definiert ein aktives Gebiet für einen MOS-Transistor. Die Tiefe des Isolationsgrabens 43 beträgt 800 nm.

30
In dem aktiven Gebiet ist darüber hinaus ein Graben 44 angeordnet, dessen Tiefe ebenfalls 800 nm beträgt. Im Bereich der Oberfläche des Substrats 41 weist der Graben 44 eine Aufweitung auf, die mit einer Isolationsstruktur 441 versehen ist.
35 Unterhalb der Isolationsstruktur 441, die SiO_2 enthält, ist die Oberfläche des Grabens 44 mit einem Gatedielektrikum 45 versehen. Das Gatedielektrikum 45 enthält SiO_2 und weist eine

Dicke von 25 nm auf. Innerhalb der Isolationsstruktur 441 und des Gatedielektrikums 45 ist der Graben 44 mit einer Gateelektrode 46 aus n^+ -dotiertem Polysilizium mit einer Dotierstoffkonzentration von 10^{21} cm^{-3} aufgefüllt. Die Gateelektrode 46 schließt in der Höhe mit dem Substrat 41 ab.

Zwischen der Isolationsstruktur 441 und der SiO_2 -Füllung 432 des Isolationsgrabens 43 sind ein erstes Source-/Drain-Gebiet 471 und ein zweites Source-/Drain-Gebiet 472 angeordnet. Die Source-/Drain-Gebiete 471, 472 sind n^+ -dotiert und weisen eine Dotierstoffkonzentration von 10^{21} cm^{-3} auf. Sie weisen eine Tiefe von 200 nm auf.

Unterhalb des ersten Source-/Drain-Gebietes 471 und des zweiten Source-/Drain-Gebietes 472 ist ein erstes Diffusionsgebiet 481 bzw. ein zweites Diffusionsgebiet 482 angeordnet. Das erste Diffusionsgebiet 481 und das zweite Diffusionsgebiet 482 sind jeweils n^- -dotiert und weisen eine Dotierstoffkonzentration von 10^{18} cm^{-3} auf. Gemessen von der Oberfläche des Substrats 41 weisen sie eine Tiefe von 500 nm auf.

Die Isolationsstruktur 441 weist eine Tiefe von 300 nm auf. Die Breite der Isolationsstruktur 441 ist so bemessen, daß der Abstand des ersten Source-/Drain-Gebietes 471 bzw. des zweiten Source-/Drain-Gebietes 472 zur Gateelektrode 46 parallel zur Oberfläche des Substrats 41 jeweils 100 nm beträgt. Dadurch wird die Spannungsfestigkeit des MOS-Transistors verbessert. Als Kanalgebiet wirkt der an die Oberfläche des Grabens 44 angrenzende Teil der p-dotierten Wanne 42.

Die Struktur weist darüber hinaus eine Isolationsschicht 49 aus dotiertem Glas auf, in der Kontakte 420 zu dem ersten Source-/Drain-Gebiet 471, dem zweiten Source-/Drain-Gebiet 472 und der Gateelektrode 46 vorgesehen sind.

In einem Substrat 51 aus monokristallinem Silizium mit einer Grunddotierung von 10^{15} cm^{-3} Bor wird durch eine Anzahl von

FJS

Implantationen mit Bor mit $3 \times 10^{12} \text{ cm}^{-2}$, 500 keV bzw. $5 \times 10^{12} \text{ cm}^{-2}$, 200 keV eine p-dotierte Wanne 52 mit einer Dotierstoffkonzentration von 10^{17} cm^{-3} und einer Tiefe von 1000 nm gebildet (siehe Figur 5). Dabei wird eine photolithographisch erzeugte Lackmaske (nicht dargestellt) verwendet.

Nachfolgend wird durch Implantationen mit Phosphor mit einer Energie von 100 keV, 200 keV und einer Dosis von jeweils $8 \times 10^{12} \text{ cm}^{-2}$ ein Diffusionsgebiet 53 erzeugt, das eine Dotierstoffkonzentration von 10^{18} cm^{-3} und eine Tiefe von 500 nm aufweist. Nach Entfernen der Lackmaske werden eine erste SiO_2 -Schicht 54 in einer Dicke von 20 nm und eine Siliziumnitridschicht 55 in einer Dicke von 100 nm aufgebracht. Unter Verwendung einer photolithographisch erzeugten Maske (nicht dargestellt) werden erste Gräben 56 geätzt. Die ersten Gräben 56 weisen eine Tiefe von 300 nm auf. Die ersten Gräben 56 weisen einen ringförmigen Teil auf sowie einen Steg, der gegenüberliegende Seiten des ringförmigen Teils miteinander verbindet. Zum Ätzen der Siliziumnitridschicht 55 wird CHF_3 , O_2 , der ersten SiO_2 -Schicht 54 wird CHF_3 , O_2 und des Siliziums wird HBr , He , O_2 , NF_3 verwendet.

Die ersten Gräben 56 werden mit einer ersten SiO_2 -Füllung 57 aufgefüllt. Dazu wird eine SiO_2 -Schicht abgeschieden und durch chemisch-mechanisches Polieren planarisiert.

Nachfolgend werden unter Verwendung einer Photolackmaske (nicht dargestellt) zweite Gräben geätzt. Die zweiten Gräben umfassen einen Graben 58 und einen Isolationsgraben 59 (siehe Figur 6). Parallel zur Oberfläche des Substrats 51 sind sowohl der Graben 58 als auch der Isolationsgraben 59 innerhalb des Querschnitts der ersten Gräben 56 angeordnet. Dabei ist der Querschnitt des Grabens 58 sowie des Isolationsgrabens 59 jeweils geringer als der Querschnitt des entsprechenden Teils der ersten Gräben 56. Die Tiefe des Grabens 58 sowie des Isolationsgrabens 59 ist größer als diejenige der ersten Gräben

56. Die Tiefe des Grabens 58 sowie des Isolationsgrabens 59 beträgt etwa 800 nm.

Der Graben 58 strukturiert die erste SiO_2 -Füllung 57, so daß eine erste Isolationsstruktur 571 entsteht, die im oberen Bereich des Grabens 58 beiderseits des Grabens 58 angeordnet ist (siehe Figur 6). Die Abmessung der ersten Isolationsstruktur 571 senkrecht zur Wand des Grabens 58 beträgt 100 nm.

Durch thermische Oxidation wird an der Oberfläche des Grabens 58 ein Gatedielektrikum 5101 aus SiO_2 in einer Schichtdicke von 25 nm gebildet. Gleichzeitig wird bei der thermischen Oxidation an der Oberfläche des Isolationsgrabens 59 eine zweite SiO_2 -Schicht 5102 in einer Schichtdicke von ebenfalls 25 nm gebildet.

Durch Bildung einer dotierten Polysiliziumschicht und anschließendes Rückätzen der dotierten Polysiliziumschicht mit CF_6 , O_2 , N_2 werden im Graben 58 eine Gateelektrode 5111 und im Isolationsgraben 59 eine Polysiliziumfüllung 5112 gebildet. Die Gateelektrode 5111 wird n^+ -dotiert mit einer Dotierstoffkonzentration von 10^{21} cm^{-3} .

Die Bildung der dotierten Polysiliziumschicht erfolgt durch in situ dotierte Abscheidung oder durch undotierte Abscheidung und anschließende Implantation. Die dotierte Polysiliziumschicht wird soweit zurückgeätzt, daß die Gateelektrode 5111 in der Höhe mit der Oberfläche des Substrats 51 abschließt.

Unter Verwendung einer mit photolithographischen Schritten gebildeten Lackmaske 512 als Ätzmaske, die den Bereich des Grabens 58 sowie der ersten Isolationsstruktur 571 abdeckt, wird mit Hilfe von He , HBr , Cl_2 , C_2F_6 die Polysiliziumfüllung 5112 aus dem Isolationsgraben 59 entfernt. Unter Verwendung von CHF_3 , O_2 wird der dem Isolationsgraben 59 benachbarte

Fig 2

Teil der ersten SiO_2 -Füllung 57 entfernt (siehe Figur 7). Nach Entfernen der Lackmaske 512 wird durch Abscheidung einer SiO_2 -Schicht und chemisch-mechanisches Polieren der Isolationsgraben 59 mit einer zweiten SiO_2 -Füllung 513 aufgefüllt (siehe Figur 8). Anschließend werden die Siliziumnitridschicht 55 und die erste SiO_2 -Schicht 54 entfernt. Dabei wird eine ebene Oberfläche der Struktur gebildet.

Der MOS-Transistor wird durch Bildung eines ersten Source-/Drain-Gebietes 5141 und eines zweiten Source-/Drain-Gebietes 5142 mit Hilfe einer maskierten Implantation von Arsen bei einer Energie von 60 keV und einer Dosis von $5 \times 10^{15} \text{ cm}^{-2}$ fertiggestellt. Die Tiefe der Source-/Drain-Gebiete 5141, 5142 beträgt 200 nm. Sie ist somit geringer als die Tiefe der ersten Isolationsstruktur 571. Unterhalb der Source-/Drain-Gebiete 5141, 5142 sind die geringer dotierten Diffusionsgebiete 52 angeordnet. Entlang der Oberfläche des Grabens 58 angrenzende Teile der p-dotierten Wanne 52 bilden das Kanalgebiet.

Erfolgt die Herstellung des MOS-Transistors im Rahmen der Herstellung einer EEPROM-Anordnung, so wird vor der Implantation zur Bildung der Source-/Drain-Gebiete 5141, 5142 der Prozeß zur Herstellung der Speichertransistoren sowie von Peripherietransistoren durchgeführt. Da sowohl die Gateelektrode 5111 als auch das Gatedielektrikum 5101 im Graben 58 vergraben sind und die Struktur eine ebene Oberfläche aufweist, beeinflussen diese Strukturen den Prozeßablauf für die Speichertransistoren und die Peripherietransistoren nicht.

30
177.9 In einem Substrat 61 aus monokristallinem Silizium mit einer Grunddotierung von 10^{15} cm^{-3} Bor wird durch maskierte Implantation mit Bor eine p-dotierte Wanne 62 mit einer Dotierstoffkonzentration von 10^{17} cm^{-3} gebildet. Die Tiefe der p-dotierten Wanne 62 beträgt 1000 nm (siehe Figur 9).

Auf die Oberfläche des Substrats 61 werden eine erste SiO_2 -Schicht 63 in einer Schichtdicke von 20 nm und eine Siliziumnitridschicht 64 in einer Schichtdicke von 100 nm aufgebracht. Unter Verwendung einer photolithographisch erzeugten Lackmaske (nicht dargestellt) werden die Siliziumnitridschicht 64, die erste SiO_2 -Schicht 63 und das Substrat 61 so strukturiert, daß ein Graben 65 und ein Isolationsgraben 66 mit einer Tiefe von 600 nm entstehen. Dabei wird zur Ätzung von Siliziumnitrid CHF_3 , O_2 , von SiO_2 , CHF_3 , O_2 und von Silizium HBr, He, O_2 , NF_3 verwendet. Der Isolationsgraben 66 umgibt ein aktives Gebiet ringförmig. Der Graben 65 weist einen stegförmigen Querschnitt auf und reicht von einer Seite des Isolationsgrabens 66 zur gegenüberliegenden.

Durch eine schräge Implantation von Bor, bei der das Substrat 61 gedreht wird, wird die Dotierstoffkonzentration der p-dotierten Wanne 62 entlang der Oberfläche des Grabens 65 auf 10^{17} cm^{-3} eingestellt. Dadurch wird die Einsatzspannung des herzustellenden MOS-Transistors bestimmt. Die Implantation erfolgt mit einer Energie von 50 keV und einer Dosis von $2 \times 10^{12} \text{ cm}^{-2}$.

Durch thermische Oxidation wird an der Oberfläche des Grabens 65 ein Gatedielektrikum 67 aus SiO_2 in einer Schichtdicke von 25 nm gebildet. Gleichzeitig entsteht an der Oberfläche des Isolationsgrabens eine zweite SiO_2 -Schicht 68 in einer Schichtdicke von ebenfalls 25 nm (siehe Figur 10).

Nachfolgend wird durch Bildung einer dotierten Polysiliziumschicht und Rückätzen der dotierten Polysiliziumschicht mit CF_4 , O_2 , N_2 eine Gateelektrode 691 und eine Polysiliziumfüllung 692 gebildet. Die dotierte Polysiliziumschicht wird durch in situ dotierte Abscheidung oder durch undotierte Abscheidung und anschließende Implantation gebildet. Das Rückätzen wird solange fortgesetzt, bis die Oberfläche der Gateelektrode 691 mit der Oberfläche des Substrats 61 abschließt.

Unter Verwendung einer Lackmaske, die die Gateelektrode 691 abdeckt, wird durch Ätzen mit He, HBr, Cl₂, C₂F₆ die Polysiliziumfüllung 692 aus dem Isolationsgraben 66 entfernt. Der Isolationsgraben 66 wird durch Abscheiden einer SiO₂-Schicht und chemisch-mechanisches Polieren mit einer SiO₂-Füllung 610 versehen (siehe Figur 11). Nachfolgend wird die Siliziumnitridschicht 64 entfernt. Unter Verwendung einer photolithographisch erzeugten Maske wird durch Implantation mit Phosphor mit einer Dosis von $4 \times 10^{12} \text{ cm}^{-2}$ und einer Energie von 45 keV ein erstes Diffusionsgebiet 6111 mit einer Dotierstoffkonzentration von 10^{18} cm^{-3} gebildet. Das erste Diffusionsgebiet 6111 weist eine Tiefe von 300 nm auf. Es ist auf einer Seite des Grabens 65 angeordnet.

Unter Verwendung einer weiteren Lackmaske (nicht dargestellt), die das erste Diffusionsgebiet 6111 abdeckt, wird auf der gegenüberliegenden Seite des Grabens 65 ein zweites Diffusionsgebiet 6112 durch Implantation von Phosphor mit einer Dosis von $4 \times 10^{12} \text{ cm}^{-2}$ und einer Energie von 90 keV gebildet (siehe Figur 12). Die Tiefe des zweiten Diffusionsgebietes 6112 beträgt 500 nm. Die Dotierstoffkonzentration des zweiten Diffusionsgebietes 6112 beträgt 10^{18} cm^{-3} .

Fig. 11 Mit Hilfe einer weiteren Lackmaske (nicht dargestellt) werden innerhalb des ersten Diffusionsgebietes 6111 ein erstes Source-/Drain-Gebiet 6121 und innerhalb des zweiten Diffusionsgebietes ein zweites Source-/Drain-Gebiet 6122 gebildet. Dazu wird eine Implantation mit Arsen bei einer Energie von 60 keV und einer Dosis von $5 \times 10^{15} \text{ cm}^{-2}$ durchgeführt. Das erste Source-/Drain-Gebiet 6121 und das zweite Source-/Drain-Gebiet 6122 grenzen jeweils an die Oberfläche des Isolationsgrabens 66 an. Sie grenzen nicht an die Oberfläche des Grabens 65 an. Das erste Source-/Drain-Gebiet 6121 ist durch einen Teil des ersten Diffusionsgebietes 6111 und das zweite Source-/Drain-Gebiet 6122 ist durch einen Teil des zweiten Diffusionsgebietes 6112 von der Oberfläche des Grabens 65 beabstandet. Der

an die Oberfläche des Grabens 65 angrenzende Teil der p-dotierten Wanne 62 wirkt als Kanalgebiet.

Bei Herstellung des MOS-Transistors innerhalb einer EEPROM-Anordnung werden die Prozesse zur Herstellung von Speichertransistoren und Peripherietransistoren vor den Implantationen zur Bildung des ersten Diffusionsgebietes 6111 durchgeführt. Dadurch können Temperschritte, die zur Aktivierung von implantierten Dotierstoff erforderlich sind, gleichzeitig sowohl für den vergrabenen MOS-Transistor als auch für Speichertransistoren und Peripherietransistoren durchgeführt werden.

Auf die Oberfläche eines Substrats 71 wird eine erste SiO_2 -Schicht 72 und eine Siliziumnitridschicht 73 aufgebracht (siehe Figur 13). Das Substrat 71 enthält monokristallines Silizium mit einer Grunddotierung von 10^{15} cm^{-3} Bor. Die erste SiO_2 -Schicht 72 wird in einer Schichtdicke von 20 nm und die Siliziumnitridschicht 73 wird in einer Schichtdicke von 100 nm aufgebracht. Unter Verwendung einer photolithographisch erzeugten Maske (nicht dargestellt) werden durch Strukturieren der Siliziumnitridschicht 73, der ersten SiO_2 -Schicht 72 sowie des Substrats 71 ein Graben 74 und ein Isolationsgraben 75 erzeugt. Dazu wird anisotropes Ätzen eingesetzt, wobei zum Ätzen der Siliziumnitridschicht 73 CHF_3 , O_2 , der SiO_2 -Schicht 72 CHF_3 , O_2 und des Substrats 71 HBr , He , O_2 , NF_3 verwendet wird. Die Tiefe des Grabens 74 gemessen von der Oberfläche des Substrats 71 beträgt 400 nm.

Der Isolationsgraben 75 umgibt ein aktives Gebiet für einen MOS-Transistor ringförmig. Der Graben 74 ist innerhalb des aktiven Gebietes angeordnet. Er weist einen stegförmigen Querschnitt auf und reicht von einer Seite des Isolationsgrabens 75 zur gegenüberliegenden.

35

Unter Verwendung einer Maske 76, die den Isolationsgraben 75 abdeckt, als Implantationsmaske wird durch Implantation von

Bor eine p-dotierte Wanne 77 erzeugt. Die Implantation erfolgt mit 200 keV keV und $3 \times 10^{12} \text{ cm}^{-2}$ (siehe Figur 13). Nach Entfernen der Maske 76 wird durch thermische Oxidation an der Oberfläche des Grabens 74 ein Gatedielektrikum 781 aus SiO_2 in einer Schichtdicke von 25 nm gebildet. Gleichzeitig entsteht an der Oberfläche des Isolationsgrabens 75 eine zweite SiO_2 -Schicht 782 in einer Schichtdicke von ebenfalls 25 nm (siehe Figur 14). Durch Bildung einer dotierten Polysiliziumschicht und Rückätzen der dotierten Polysiliziumschicht werden im Graben 74 eine Gateelektrode 791 und im Isolationsgraben 75 eine Polysiliziumfüllung 792 erzeugt. Die dotierte Polysiliziumschicht wird durch in situ dotierte Abscheidung oder durch undotierte Abscheidung und anschließende Implantation gebildet. Das Rückätzen der dotierten Polysiliziumschicht erfolgt mit CF_4 , O_2 , N_2 , wobei die Ätzung solange fortgesetzt wird, bis die Höhe der Gateelektrode 791 der Höhe des Substrats 71 entspricht. Die Gateelektrode 791 schließt in der Höhe mit der Oberfläche des Substrats 71 im wesentlichen ab. Die Gateelektrode 791 ist n^+ -dotiert mit einer Dotierstoffkonzentration von 10^{21} cm^{-3} .

Unter Verwendung einer Maske, die die Gateelektrode 791 abdeckt, als Ätzmaske wird durch Ätzen mit He, HBr, Cl_2 , C_2F_6 die Polysiliziumfüllung 792 aus dem Isolationsgraben 75 entfernt. Durch Abscheiden einer SiO_2 -Schicht und chemisch-mechanisches Polieren wird der Isolationsgraben 75 mit einer SiO_2 -Füllung 710 versehen (siehe Figur 15). Nachfolgend wird die Siliziumnitridschicht 73 durch Ätzen mit CHF_3 , O_2 entfernt.

Unter Verwendung einer photolithographisch hergestellten Maske (nicht dargestellt) als Implantationsmaske und durch Implantation von Phosphor mit einer Dosis von $4 \times 10^{12} \text{ cm}^{-2}$ und einer Energie von 45 keV werden beiderseits des Grabens 74 ein erstes Diffusionsgebiet 7111 und ein zweites Diffusionsgebiet 7112 mit einer Dotierstoffkonzentration von 10^{18} cm^{-3} gebildet (siehe Figur 16).

Unter Verwendung einer weiteren photolithographisch erzeugten Maske als Implantationsmaske werden durch Implantation mit Arsen bei einer Energie von 60 keV und einer Dosis von $5 \times 10^{15} \text{ cm}^{-2}$ ein erstes Source-/Drain-Gebiet 7121 und ein zweites Source-/Drain-Gebiet 7122 mit einer Dotierstoffkonzentration von 10^{21} cm^{-3} erzeugt. Das erste Source-/Drain-Gebiet 7121 und das zweite Source-/Drain-Gebiet 7122 grenzen jeweils an die Oberfläche des Isolationsgrabens 75 an. Zwischen dem ersten Source-/Drain-Gebiet 7121 und der Oberfläche des Grabens 74 ist das erste Diffusionsgebiet 7111 und zwischen dem zweiten Source-/Drain-Gebiet 7122 und der Oberfläche des Grabens 74 ist das zweite Diffusionsgebiet 7112 angeordnet. Die Tiefe der Source-/Drain-Gebiete 7121, 7122 und der Diffusionsgebiete 7111, 7112 beträgt 200 nm. Der an die Oberfläche des Grabens 74 angrenzende Teil der p-dotierten Wanne 77 wirkt als Kanalgebiet (siehe Figur 16).

Wird der MOS-Transistor als Teil einer EEPROM-Anordnung hergestellt, so werden die Speichertransistoren und Peripherietransistoren vorzugsweise vor der Implantation zur Bildung der Diffusionsgebiete 7111, 7112 erzeugt. Zu diesem Zeitpunkt ist eine ebene Oberfläche des Substrats gegeben, Gatedielektrikum 781 und Gateelektrode 791 sind im Graben 74 vergraben.

Es sind viele Variationen der erläuterten Ausführungsbeispiele denkbar. Insbesondere können die Leitfähigkeitstypen jeweils vertauscht werden. Der MOS-Transistor kann sowohl als n-Kanal-MOS-Transistor als auch als p-Kanal-MOS-Transistor erzeugt werden. Für die Anwendung als Hochvolttransistor ist es dabei vorteilhaft, den n-Kanal-MOS-Transistor mit einer n^+ -dotierten Gateelektrode und den p-Kanal-MOS-Transistor mit einer p^+ -dotierten Gateelektrode herzustellen, da in diesem Fall beide Transistoren Surface-channel-Transistoren sind. Für Anwendungen, bei denen keine Surface-channel-Transistoren benötigt werden, können die Gateelektroden auch anders dotiert sein.

Die Herstellung von Transistoren in einer anderen Technologie, insbesondere von Speichertransistoren einer EEPROM-Anordnung kann sowohl vor der Bildung der Source-/Drain-Gebiete und Diffusionsgebiete als auch nach der Bildung der Source-/Drain-Gebiete und Diffusionsgebiete erfolgen.

Die Einstellung der Einsatzspannung des MOS-Transistors kann anstelle durch Implantation auch durch Ausdiffusion aus einer dotierten Schicht, insbesondere einer Schicht aus entsprechend dotiertem Glas erfolgen, die an der Oberfläche des Grabens angeordnet ist.

Patentansprüche

1. MOS-Transistor,

- 5 - bei dem in einem Halbleitersubstrat (11) ein erstes Source-/Drain-Gebiet (171) und ein zweites Source-/Drain-Gebiet (172) vorgesehen sind,
- 10 - bei dem zwischen dem ersten Source-/Drain-Gebiet (171) und dem zweiten Source-/Drain-Gebiet (172) ein Graben (14) angeordnet ist, dessen Tiefe größer als die Tiefe des ersten Source-/Drain-Gebietes (171) und des zweiten Source-/Drain-Gebietes (172) ist und dessen Oberfläche mit einem Gatedielektrikum (15) versehen ist,
- 15 - bei dem ein Isolationsgraben vorgesehen ist, der den MOS-Transistor umgibt,
- 20 - bei dem der Isolationsgraben (13) mit einer isolierenden Füllung (131,132) versehen ist und eine Tiefe aufweist, die im wesentlichen der Tiefe des Grabens (14) entspricht.
- 25 - bei dem in dem Graben (14) eine Gateelektrode (16) angeordnet ist, deren Ausdehnung in Richtung der Tiefe des Grabens (14) maximal gleich der Tiefe des Grabens (14) ist.

2. MOS-Transistor nach Anspruch 1,

- 30 - bei dem zwischen dem ersten Source-/Drain-Gebiet (171) und dem zweiten Source-/Drain-Gebiet (172) ein Kanalgebiet angeordnet ist, das im Halbleitersubstrat (11) entlang der Oberfläche des Grabens (14) verläuft,
- 35 - bei dem ein erste Diffusionsgebiet (181) vorgesehen ist, das von demselben Leitfähigkeitstyp wie das erste Source-/Drain-Gebiet (171) dotiert ist, jedoch eine geringere Dotierstoffkonzentration als das erste Source-/Drain-Gebiet

(171) aufweist, das zwischen dem ersten Source-/Drain-Gebiet (171) und dem Kanalgebiet (12) angeordnet ist und das an das erste Source-/Drain-Gebiet (171) und an das Kanalgebiet (12) angrenzt.

5

3. MOS-Transistor nach Anspruch 2, bei dem das erste Diffusionsgebiet (281) mindestens teilweise unterhalb des ersten Source-/Drain-Gebietes (271) angeordnet ist.

10

4. MOS-Transistor nach Anspruch 2 oder 3, bei dem das erste Diffusionsgebiet (181) mindestens teilweise zwischen der Oberfläche des Grabens (14) und dem ersten Source-/Drain-Gebiet (171) angeordnet ist, so daß das erste Source-/Drain-Gebiet (171) nicht an die Oberfläche des Grabens (14) angrenzt.

15

5. MOS-Transistor nach einem der Ansprüche 2 bis 4,

20

- bei dem ein zweites Diffusionsgebiet (182) vorgesehen ist, das von demselben Leitfähigkeitstyp wie das zweite Source-/Drain-Gebiet (172) dotiert ist, jedoch eine geringere Dotierstoffkonzentration als das zweite Source-/Drain-Gebiet (172) aufweist, das zwischen dem zweiten Source-/Drain-Gebiet (172) und dem Kanalgebiet (12) angeordnet ist und das an das zweite Source-/Drain-Gebiet (172) und an das Kanalgebiet (12) angrenzt,

25

30

- bei dem das zweite Diffusionsgebiet analog dem ersten Diffusionsgebiet (181) aufgebaut ist.

6. MOS-Transistor nach einem der Ansprüche 1 bis 5,

35

- bei dem eine erste Isolationsstruktur (441) vorgesehen ist, die an die Oberfläche der Gateelektrode (46), an die Oberfläche des Halbleitersubstrats (41) und an das erste Source-/Drain-Gebiet (471) angrenzt, so daß die erste Isolati-

onsstruktur (441) zwischen der Gateelektrode (46) und dem ersten Source-/Drain-Gebiet (471) angeordnet ist,

- 5 - bei dem die Tiefe der ersten Isolationsstruktur (441) mindestens so groß wie die Tiefe des ersten Source-/Drain-Gebietes (471) ist.

7. MOS-Transistor nach Anspruch 6,

- 10 - bei dem die erste Isolationsstruktur (441) zusätzlich an die Oberfläche des zweiten Source-/Drain-Gebietes (472) angrenzt, so daß die erste Isolationsstruktur (441) auch zwischen dem zweiten Source-/Drain-Gebiet (471) und der Gateelektrode (46) angeordnet ist,

15

- bei dem die Tiefe der ersten Isolationsstruktur (441) mindestens so groß wie die Tiefe des zweiten Source-/Drain-Gebietes (472) ist.

20 8. MOS-Transistor nach Anspruch 1 bis 7,

bei dem zwischen dem ersten Source-/Drain-Gebiet (171) und dem zweiten Source-/Drain-Gebiet (172) ein Kanalgebiet angeordnet ist, das im Halbleitersubstrat (11) entlang der Oberfläche des Grabens (14) verläuft.

25

9. Verwendung eines MOS-Transistors nach einem der Ansprüche 1 bis 8 in einer EEPROM-Anordnung.

10. Verfahren zur Herstellung eines MOS-Transistors,

30

- bei dem in einer Oberfläche des Halbleitersubstrats (11) ein Graben (14) gebildet wird,

35

- bei dem die Oberfläche des Grabens (14) mit einem Gatedielektrikum (15) versehen wird,

- bei dem eine Gateelektrode (16) erzeugt wird, deren Ausdehnung in Richtung der Tiefe des Grabens (14) maximal gleich der Tiefe des Grabens (14) ist,
- 5 - bei dem ein erstes Source-/Drain-Gebiet (171) und ein zweites Source-/Drain-Gebiet (172) so erzeugt werden, daß der Graben zwischen dem ersten Source-/Drain-Gebiet und dem zweiten Source-/Drain-Gebiet angeordnet ist und die Tiefe des ersten Source-/Drain-Gebietes (171) und des zweiten
10 Source-/Drain-Gebietes (172) geringer als die Tiefe des Grabens (14) ist,
- bei dem bei der Bildung des Grabens (14) ein Isolationsgraben (13) erzeugt wird, der den MOS-Transistor umgibt,
15
- bei dem der Isolationsgraben (13) mit einer isolierenden Füllung (131, 132) versehen wird.
- 11. Verfahren nach Anspruch 10,
20
- bei dem in der Oberfläche des Halbleitersubstrats erste Gräben (56) geätzt werden, die mit isolierendem Material (57) aufgefüllt werden,
- 25 - bei dem der Graben (58) und der Isolationsgraben (59) jeweils innerhalb eines der ersten Gräben (56) erzeugt werden, wobei die Tiefe des Grabens (58) und des Isolationsgrabens (59) größer als die Tiefe der ersten Gräben (56) ist, so daß eine erste Isolationsstruktur (5711) gebildet
30 wird, die im Bereich der Oberfläche des Substrats (51) an den Graben (58) angrenzt.

FIG 1

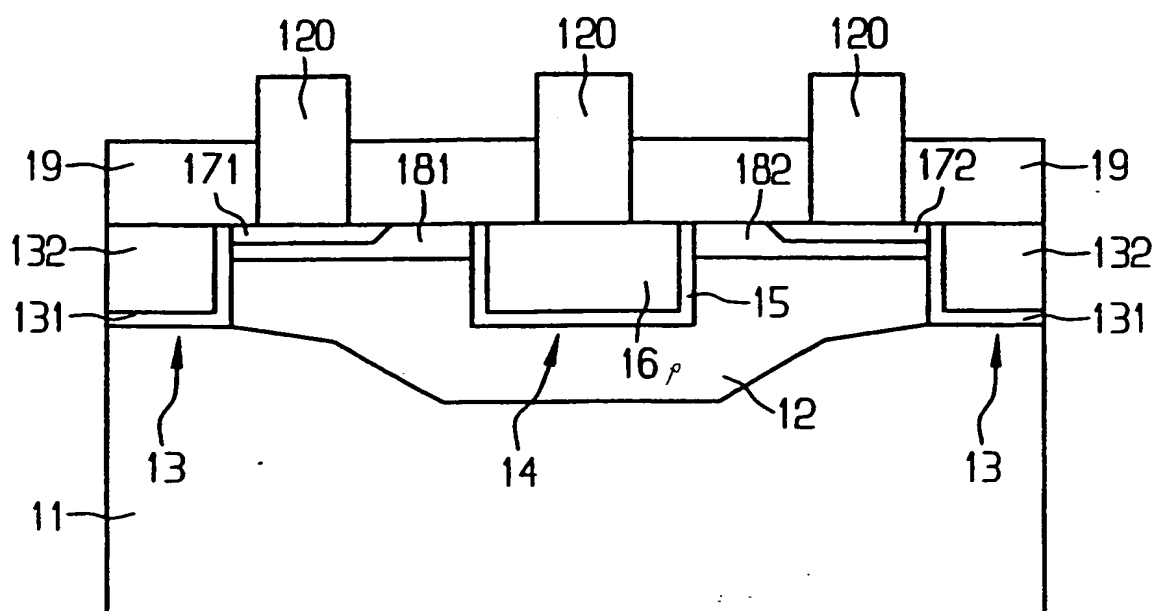


FIG 2

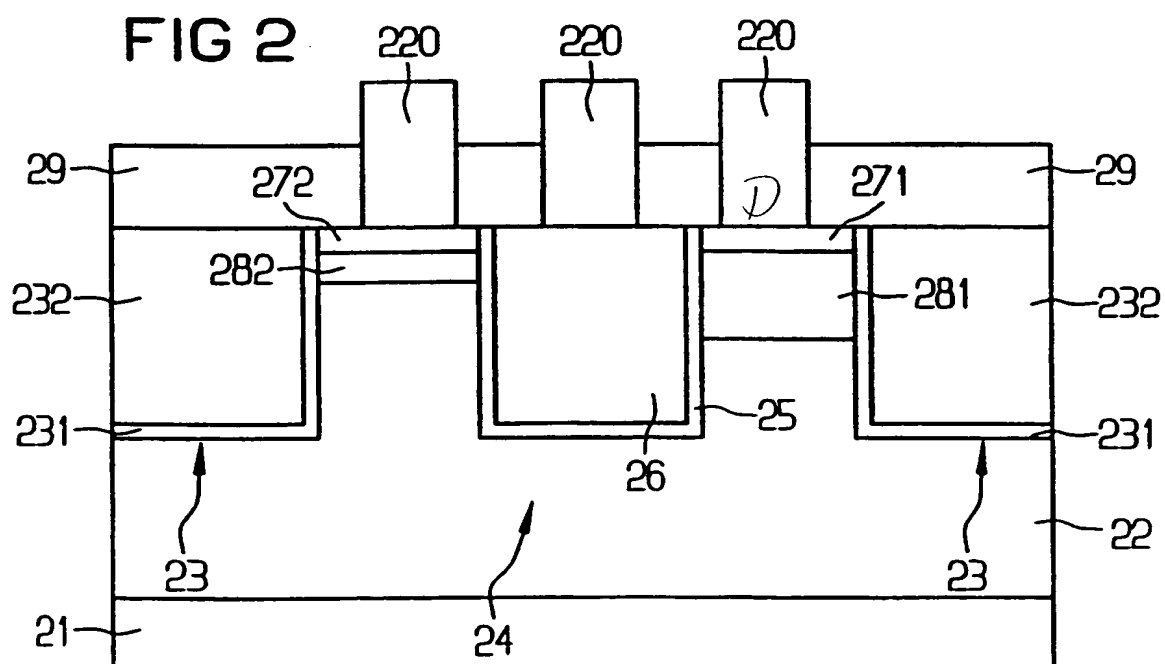


FIG 3

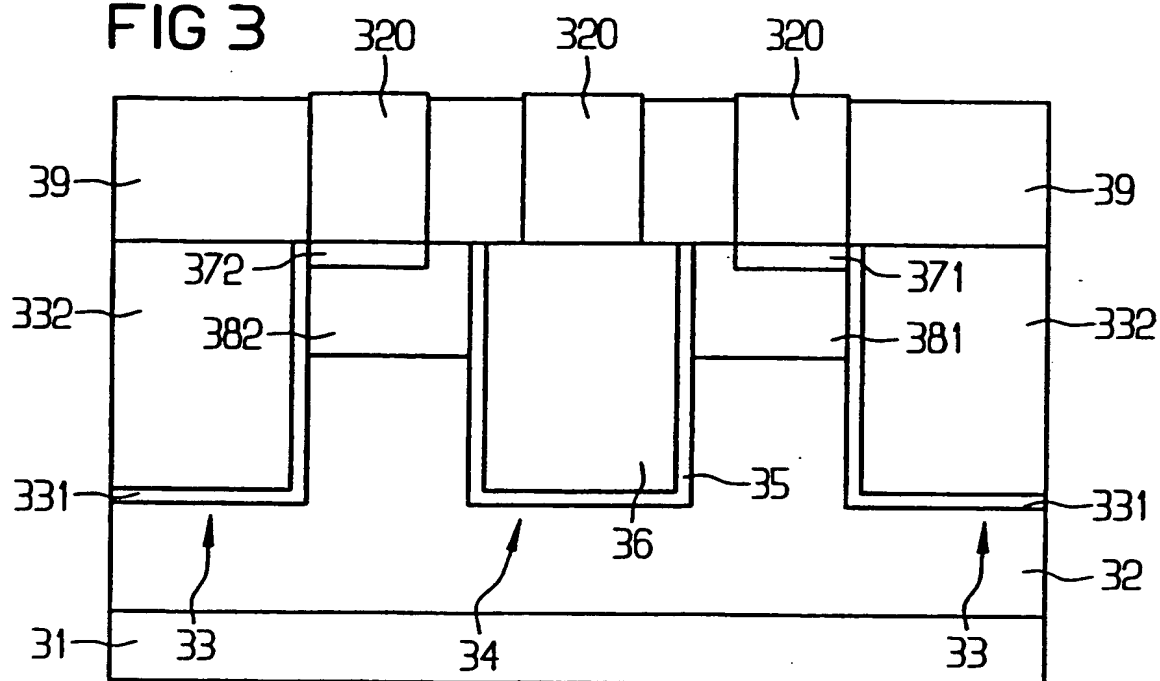
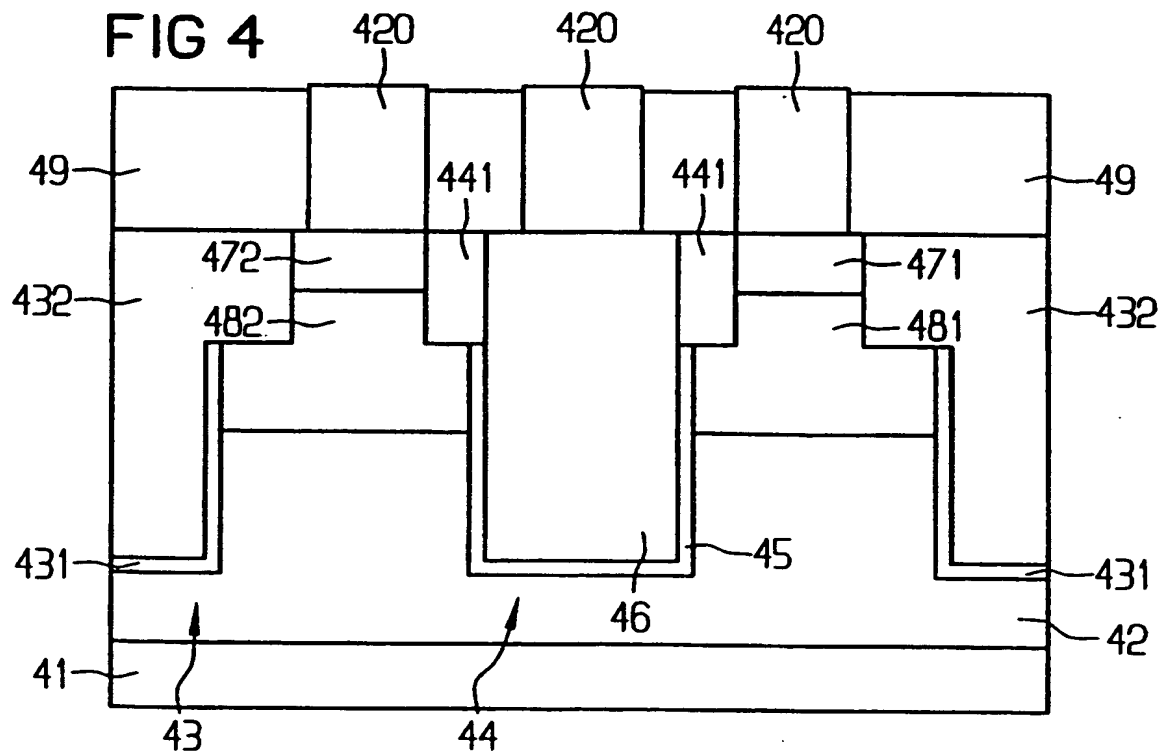


FIG 4



4/8

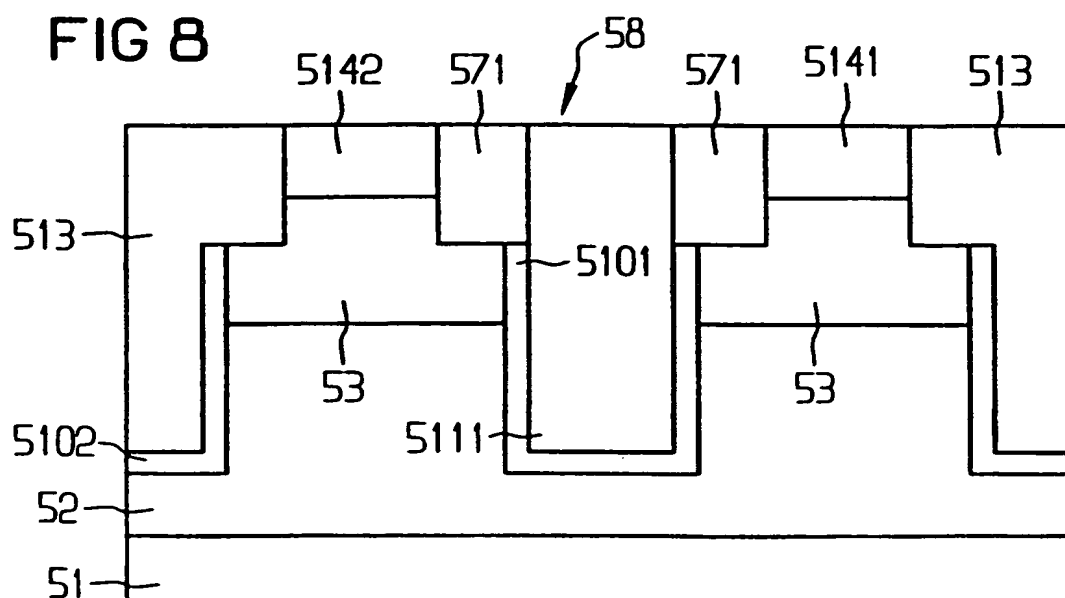
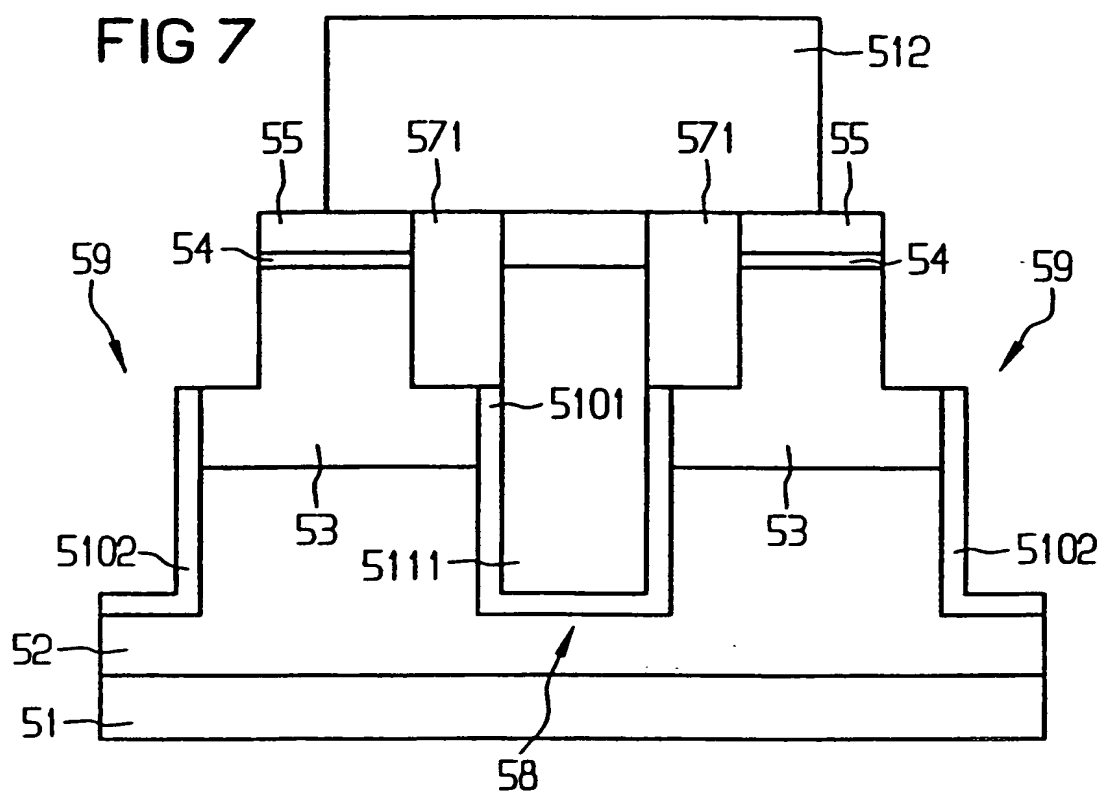


FIG 9

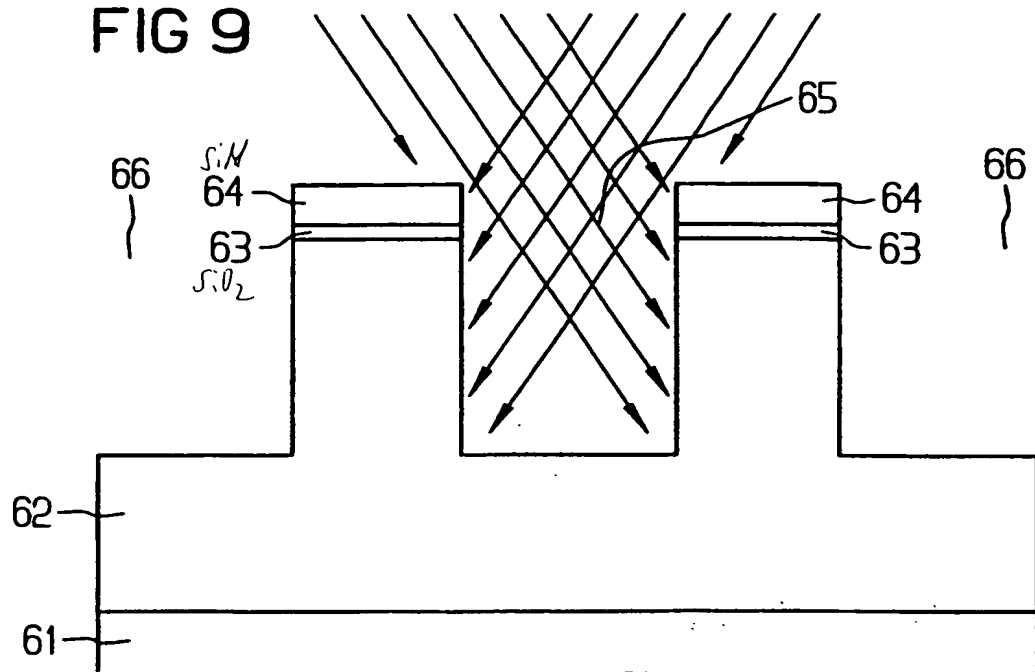


FIG 10

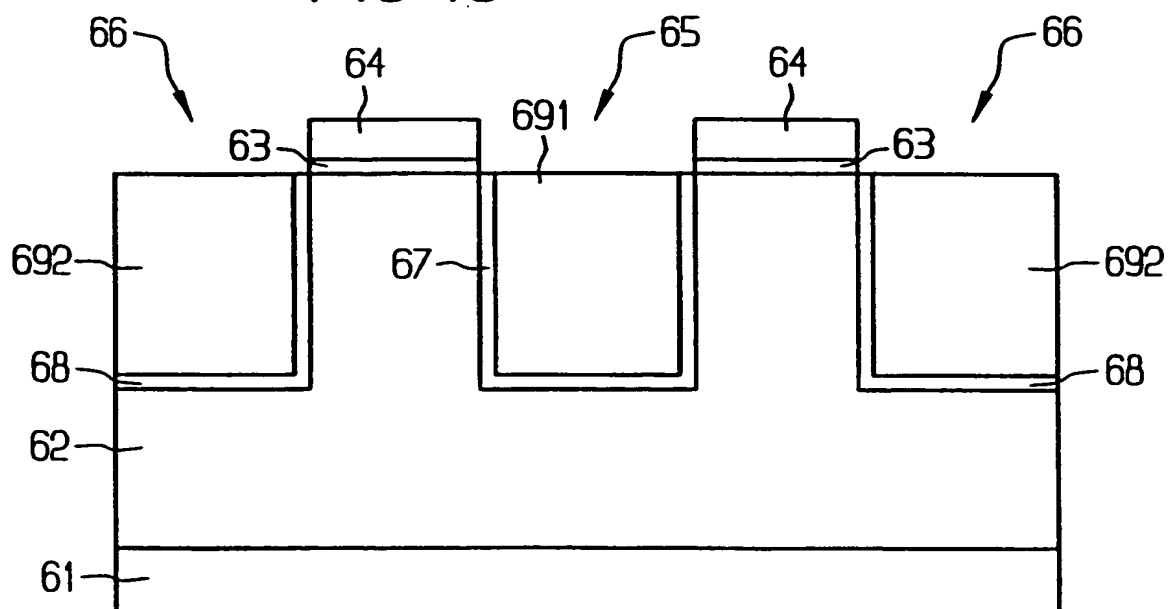


FIG 11

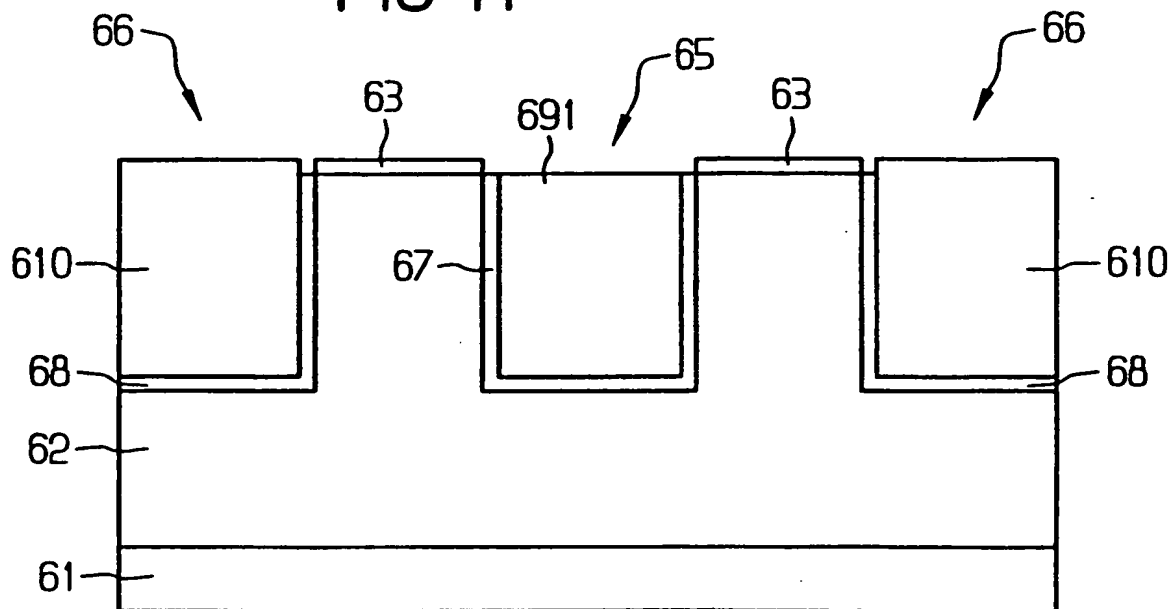
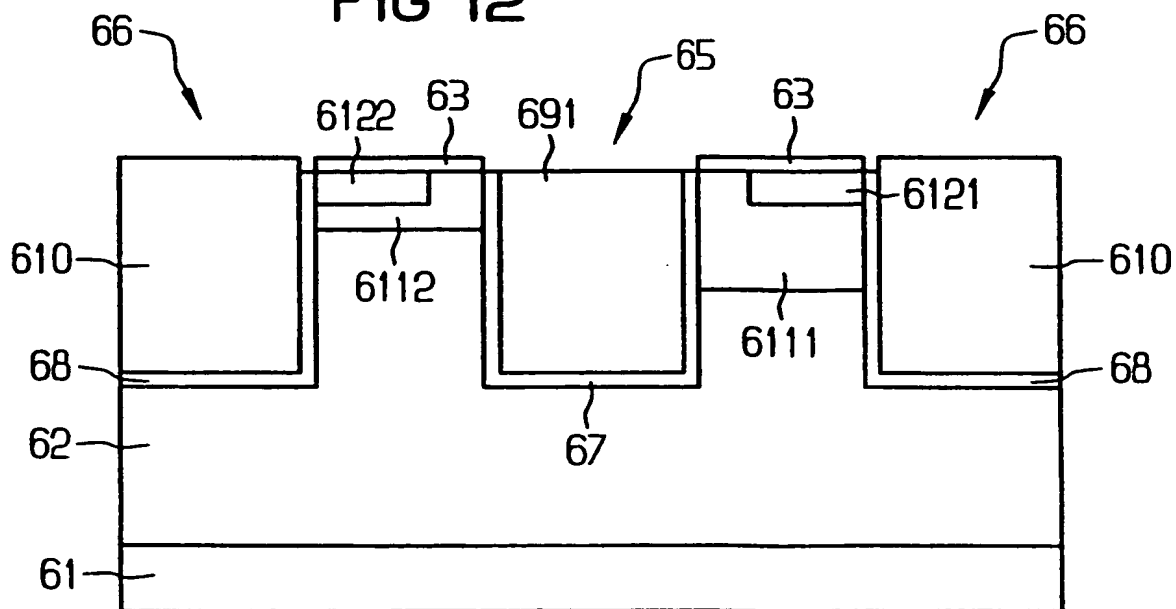


FIG 12



7/8

FIG 13

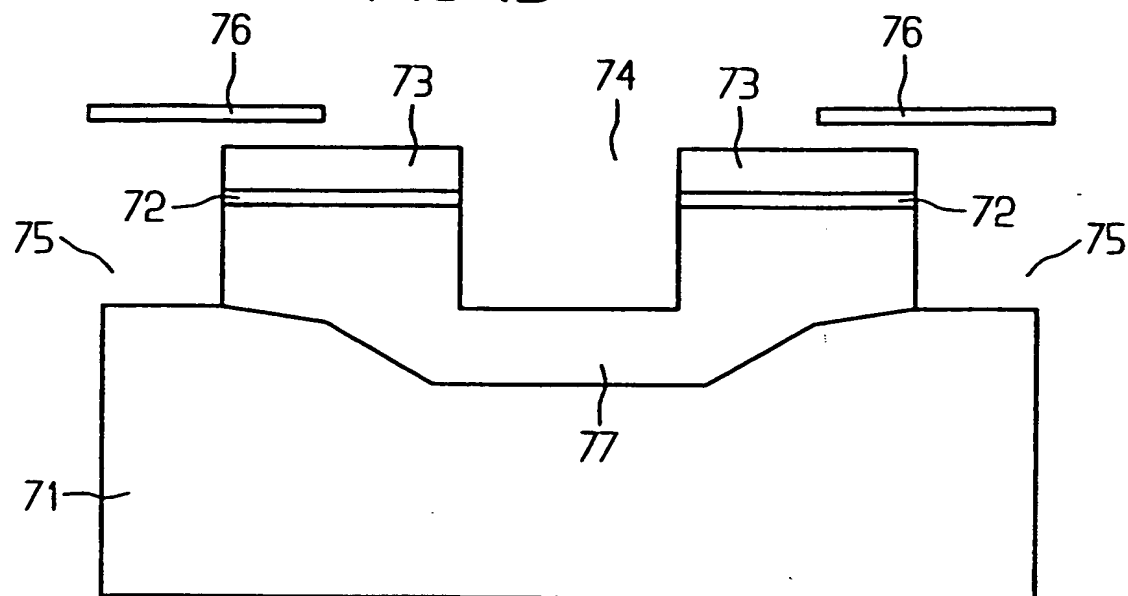


FIG 14

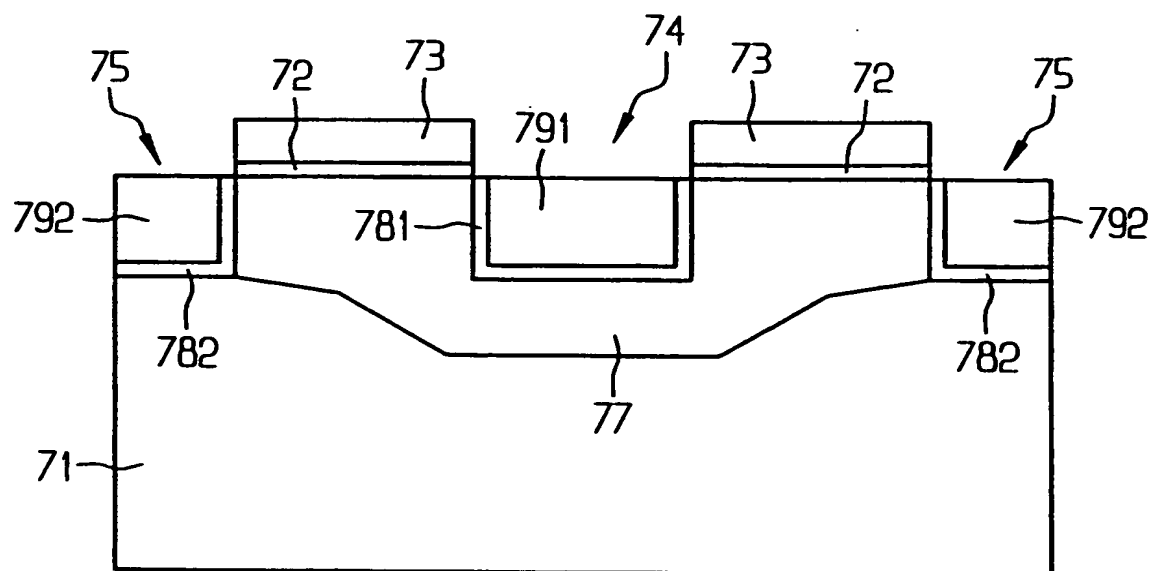


FIG 15

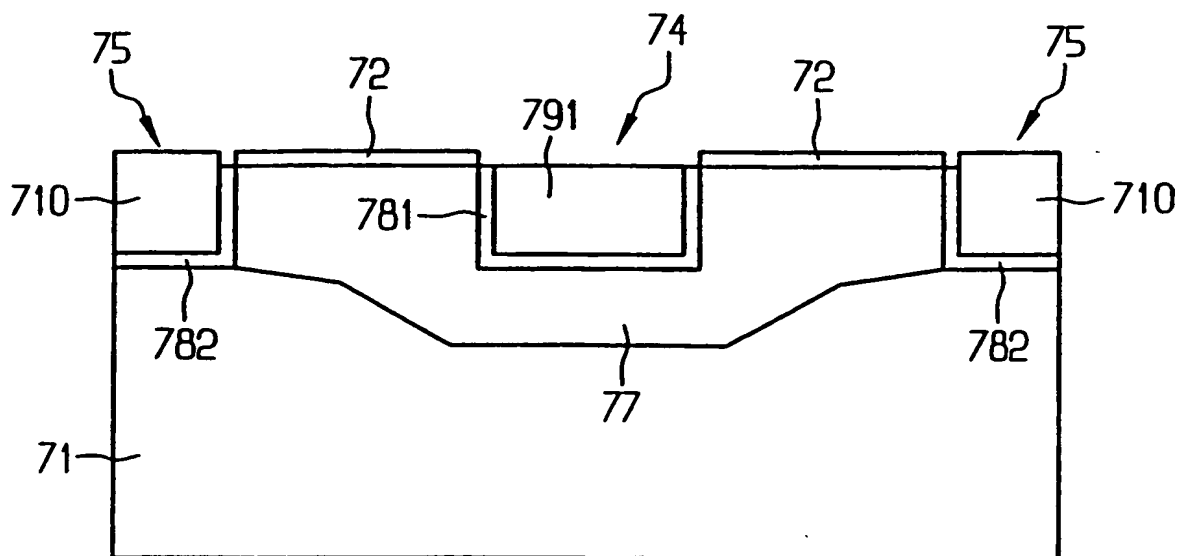
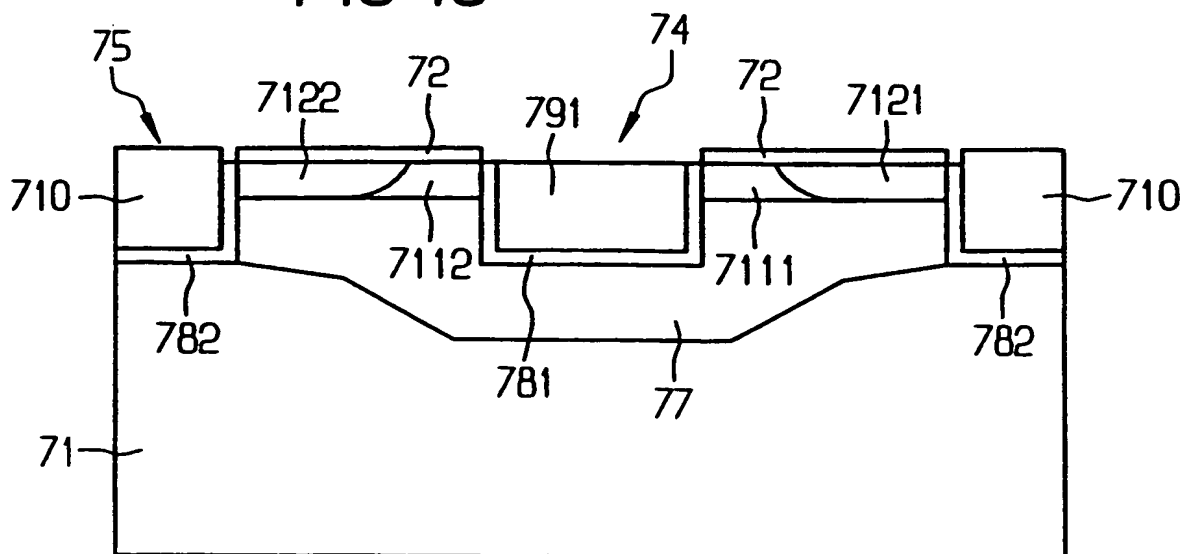


FIG 16



INTERNATIONAL SEARCH REPORT

In ☐ national Application No
PCT/DE 99/00215

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L29/78 H01L21/336 H01L29/423

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 015, no. 340 (E-1105), 28 August 1991 -& JP 03 129775 A (SEIKO EPSON CORP), 3 June 1991 see abstract; figures 1A-1G ---	1-5, 8, 10
Y	EP 0 299 505 A (TOKYO SHIBAURA ELECTRIC CO) 18 January 1989 see abstract; figures 3A-3G ---	1-5, 8, 10
X	US 4 243 997 A (NATORI KENJI ET AL) 6 January 1981 see abstract; figures 14-19 ---	1, 10
X	US 5 108 937 A (TSAI YU-HSEIN ET AL) 28 April 1992 see abstract; figures ---	1-8, 10
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

23 June 1999

Date of mailing of the international search report

08/07/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

Mimoun, B

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 99/00215

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>PATENT ABSTRACTS OF JAPAN vol. 014, no. 387 (E-0967), 21 August 1990 -& JP 02 142140 A (FUJITSU LTD), 31 May 1990 see abstract; figures</p> <p style="text-align: center;">---</p>	1,10
A	<p>US 4 737 831 A (IWAI HIROSHI) 12 April 1988 see abstract; figures</p> <p style="text-align: center;">---</p>	1,10
A	<p>US 5 270 257 A (SHIN HYUNG S) 14 December 1993 see abstract; figures</p> <p style="text-align: center;">---</p>	6,7,11
A	<p>TARASEWICZ S ET AL: "A high voltage UMOS transistor" SOLID-STATE ELECTRONICS, MAY 1981, UK, vol. 24, no. 5, pages 435-443, XP002106920 ISSN 0038-1101 see abstract; figures 1,2</p> <p style="text-align: center;">---</p>	1,10
A	<p>MORI S ET AL: "HIGH SPEED SUB-HALFMICRON FLASH MEMORY TECHNOLOGY WITH SIMPLE STACKED GATE STRUCTURE CELL" SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS, HONOLULU, JUNE 7 - 9, 1994, no. SYMP. 14, 7 June 1994, page 53/54 XP000498579 INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS cited in the application see column 9</p> <p style="text-align: center;">-----</p>	9

INTERNATIONAL SEARCH REPORT

Information on patent family members

In .ational Application No

PCT/DE 99/00215

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0299505 A	18-01-1989	JP 1021967 A	25-01-1989
		JP 1921766 C	07-04-1995
		JP 6040583 B	25-05-1994
		DE 3854455 D	19-10-1995
		DE 3854455 T	14-03-1996
		US 4952993 A	28-08-1990
		US 5093273 A	03-03-1992
US 4243997 A	06-01-1981	JP 1369015 C	11-03-1987
		JP 52115663 A	28-09-1977
		JP 61023669 B	06-06-1986
		JP 52115664 A	28-09-1977
		JP 53008072 A	25-01-1978
US 5108937 A	28-04-1992	NONE	
US 4737831 A	12-04-1988	JP 1800680 C	12-11-1993
		JP 5008587 B	02-02-1993
		JP 60042866 A	07-03-1985
US 5270257 A	14-12-1993	KR 9402400 B	24-03-1994
		DE 4212829 A	19-11-1992
		JP 2826924 B	18-11-1998
		JP 5109758 A	30-04-1993

INTERNATIONALER RECHERCHENBERICHT

In. .ationales Aktenzeichen

PCT/DE 99/00215

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 6 H01L29/78 H01L21/336 H01L29/423

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	PATENT ABSTRACTS OF JAPAN vol. 015, no. 340 (E-1105), 28. August 1991 -& JP 03 129775 A (SEIKO EPSON CORP), 3. Juni 1991 siehe Zusammenfassung; Abbildungen 1A-1G	1-5,8,10
Y	EP 0 299 505 A (TOKYO SHIBAURA ELECTRIC CO) 18. Januar 1989 siehe Zusammenfassung; Abbildungen 3A-3G	1-5,8,10
X	US 4 243 997 A (NATORI KENJI ET AL) 6. Januar 1981 siehe Zusammenfassung; Abbildungen 14-19	1,10
X	US 5 108 937 A (TSAI YU-HSEIN ET AL) 28. April 1992 siehe Zusammenfassung; Abbildungen	1-8,10
	-/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

" Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

23. Juni 1999

Absenddatum des internationalen Recherchenberichts

08/07/1999

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Mimoun, B

INTERNATIONALER RECHERCHENBERICHT

In .ationales Aktenzeichen

PCT/DE 99/00215

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 014, no. 387 (E-0967), 21. August 1990 -& JP 02 142140 A (FUJITSU LTD), 31. Mai 1990 siehe Zusammenfassung; Abbildungen ---	1,10
A	US 4 737 831 A (IWAI HIROSHI) 12. April 1988 siehe Zusammenfassung; Abbildungen ---	1,10
A	US 5 270 257 A (SHIN HYUNG S) 14. Dezember 1993 siehe Zusammenfassung; Abbildungen ---	6,7,11
A	TARASEWICZ S ET AL: "A high voltage UMOS transistor" SOLID-STATE ELECTRONICS, MAY 1981, UK, Bd. 24, Nr. 5, Seiten 435-443, XP002106920 ISSN 0038-1101 siehe Zusammenfassung; Abbildungen 1,2 ---	1,10
A	MORI S ET AL: "HIGH SPEED SUB-HALFMICRON FLASH MEMORY TECHNOLOGY WITH SIMPLE STACKED GATE STRUCTURE CELL" SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS, HONOLULU, JUNE 7 - 9, 1994, Nr. SYMP. 14, 7. Juni 1994, Seite 53/54 XP000498579 INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS in der Anmeldung erwähnt siehe Spalte 9 -----	9

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

I. ationales Aktenzeichen

PCT/DE 99/00215

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0299505 A	18-01-1989	JP 1021967 A	25-01-1989
		JP 1921766 C	07-04-1995
		JP 6040583 B	25-05-1994
		DE 3854455 D	19-10-1995
		DE 3854455 T	14-03-1996
		US 4952993 A	28-08-1990
		US 5093273 A	03-03-1992
US 4243997 A	06-01-1981	JP 1369015 C	11-03-1987
		JP 52115663 A	28-09-1977
		JP 61023669 B	06-06-1986
		JP 52115664 A	28-09-1977
		JP 53008072 A	25-01-1978
US 5108937 A	28-04-1992	KEINE	
US 4737831 A	12-04-1988	JP 1800680 C	12-11-1993
		JP 5008587 B	02-02-1993
		JP 60042866 A	07-03-1985
US 5270257 A	14-12-1993	KR 9402400 B	24-03-1994
		DE 4212829 A	19-11-1992
		JP 2826924 B	18-11-1998
		JP 5109758 A	30-04-1993

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.